

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-031798

(43)Date of publication of application : 31.01.2003

(51)Int.Cl.

H01L 29/78

H01L 21/265

(21)Application number : 2001-212073

(71)Applicant : NEC CORP

(22)Date of filing : 12.07.2001

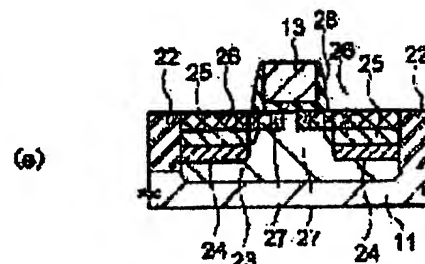
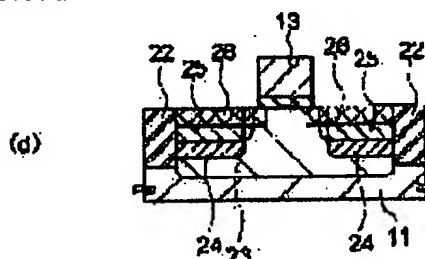
(72)Inventor : MATSUDA TOMOKO

(54) METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for fabricating a semiconductor device in which low power consumption and high speed operation can be realized while suppressing short channel effect.

SOLUTION: When the source-drain diffusion layer of an MOSFET is formed, a gate electrode 13 having a sidewall is formed at first and In or As ions are implanted from a direction aligned with the orientation face of a substrate 1 using the gate electrode 13 as a mask thus forming a deep SD region 24 having a channeling tail of small concentration gradient in the depth direction of the substrate. Subsequently, a source-drain region 25 is formed by ordinary B or As ion implantation. The sidewall is then removed and ion implantation is performed in order to form an SD extension region 26 and a pocket region 27 before a sidewall 28 is formed again. A deep channeling tail is formed by channeling ion implantation so that a low substrate concentration can be employed thus reducing the junction capacity and junction leak current of an MOSFET.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2003-31798

(P2003-31798A)

(43)公開日 平成15年1月31日(2003.1.31)

(51)Int.Cl.	識別記号	F I	キーワード(参考)
H01L 29/78		H01L 29/78	301S 5F140
21/265		21/265	F
			U

審査請求 未請求 請求項の数7 OL (全8頁)

(21)出願番号 特開2001-212073(P2001-212073)

(22)出願日 平成13年7月12日(2001.7.12)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 松田 友子

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096231

弁理士 稲垣 清

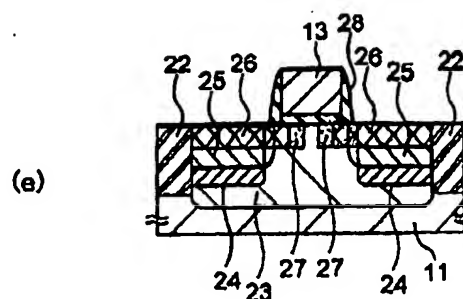
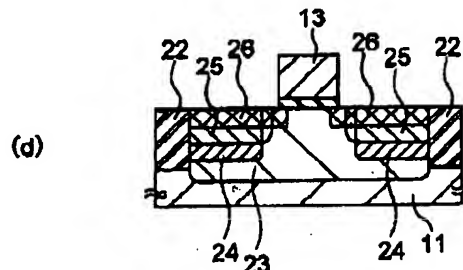
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 短チャネル効果を抑制し、低消費電力及び高速動作が可能な半導体装置の製造方法を提供する。

【解決手段】 MOSFETのソース・ドレイン拡散層を形成するにあたって、まず側壁を有するゲート電極13を形成し、これをマスクとし且つ基板11の配向面と整合した方向からIn又はAsイオン注入を行って、基板深さ方向に濃度勾配が小さなチャネリングテールを有するディープSD領域24を形成し、次いで、B又はAsの通常のイオン注入によってソース・ドレイン領域25を形成する。サイドウォールを除去してSDエクステンション領域26及びボケット領域27形成のためのイオン注入を行い、再び側壁28を形成する。チャネリングイオン注入によって深いチャネリングテールを形成し、低い基板濃度の採用を可能にする。この低い基板濃度により、MOSFETにおける接合容量の低減及び接合リーク電流の低減を図る。



1

【特許請求の範囲】

【請求項1】 MOSFETを有する半導体装置の製造方法において、

ゲート側壁を有するゲート電極を形成する第1の工程と、

前記ゲート電極をマスクとしてイオン注入し、ディープソース・ドレイン領域（ディープSD領域）を形成する第2の工程と、

前記ゲート電極をマスクとしてイオン注入し、前記ディープSD領域よりも浅いソース・ドレイン領域（SD領域）を形成する第3の工程と、

前記ゲート電極のゲート側壁を除去する第4の工程と、
前記ゲート側壁を除去したゲート電極をマスクとしてイオン注入し、前記SD領域よりも浅いソース・ドレインエクステンション領域（SDエクステンション領域）を形成する第5の工程と、

前記SDエクステンション領域の端部にイオン注入し、ポケット領域を形成する第6の工程と、

前記ゲート側壁を除去したゲート電極に再びゲート側壁を形成する第7の工程とを順次に備えることを特徴とする半導体装置の製造方法。

【請求項2】 前記第ディープSD領域を形成するイオン注入工程におけるイオン注入角度を、前記半導体基板の配向面の方位と整合させ、これによりチャネリングを発生させて前記ディープSD領域を形成する、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記ディープSD領域のイオン注入に、In又はAsイオンを注入する、請求項2に記載の半導体装置の製造方法。

【請求項4】 前記第ディープSD領域を形成するイオン注入工程は、注入される基板位置に絶縁膜が形成されていない状態で行う、請求項1～3の何れかに記載の半導体装置の製造方法。

【請求項5】 前記第ディープSD領域を形成するイオン注入工程は、注入される基板位置に対する最初の高濃度のイオン注入工程である、請求項1～4の何れかに記載の半導体装置の製造方法。

【請求項6】 前記ディープSD領域を形成するイオン注入工程は、基板温度を零下100℃以下にして行う、請求項1～5の何れかに記載の半導体装置の製造方法。

【請求項7】 MOSFETを有する半導体装置において、

半導体基板上に選択的に形成された単一絶縁膜から成るゲート側壁を有するゲート電極と、前記半導体基板の前記ゲート電極の両側に形成されたソース・ドレインとを有し、

前記ソース・ドレインは、ソース・ドレイン領域と、該ソース・ドレイン領域から基板面と平行な方向に延長され且つ該ソース・ドレイン領域よりも浅いエクステンションソース・ドレイン領域と、該エクステンションソ-

(2)

特開2003-31798

2

ス・ドレイン領域の側面に形成されたポケット領域と、前記ソース・ドレイン領域よりも深いディープソース・ドレイン領域とを有し、
前記ディープソース・ドレイン領域は、基板面と平行な方向に前記ゲート側壁から離れた位置に配設されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、更に詳しくは、短チャネル効果を抑制し且つ低消費電力及び高速動作が可能なMOSFETを備える半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の高集積化、高速動作及び低消費電力化の要請に伴い、MOSFETの構造及びその作製方法について様々な提案が成されている。

【0003】図4(a)～(c)並びに図5(d)～(f)は、特開2001-15745号に記載された従来の半導体装置の製造方法を順次に示している。まず、シリコン基板の表面に、ウェル、素子分離領域、及び、チャンネル領域（図示せず）を形成した後、図4(a)に示すように、ゲート酸化膜12、ゲート電極13及びゲート側壁（サイドウォール）14を含むゲート電極構造をシリコン基板11の表面の所定位置に形成する。

【0004】次いで、図4(b)に示すように、注入角度が0度のイオン注入工程及び熱処理（RTA）工程によって、シリコン基板11の表面部分にソース・ドレイン（SD）エクステンション領域15を形成する。引き続き、同図(c)に示すように、選択的なエピタキシャル成長によって、SDエクステンション領域15上にエレベータッドSD領域16を形成する。このとき、エレベータッドSD領域16には、基板面と図示の角度（54、7度）を成すファセット17が形成され、ゲート側壁14とファセット17との間に隙間18が作られる。

【0005】次いで、図5(d)に示すように、隙間18から斜め方向に、nMOSFETの場合にはInイオン（p型不純物）を、また、pMOSFETの場合にはSbイオン（n型不純物）を夫々注入するハローイオン注入（ポケットイオン注入）を行い、SDエクステンション領域15の側面に、ハロー領域（ポケット領域）19を形成する。イオン注入の方向として、ファセット17の角度よりも浅い図示の角度 α が採用される。このイオン注入によって形成されたハロー領域19は、ゲート電極13の下部に回り込んだSDエクステンション領域15の拡がりをキャンセルしている。

【0006】次いで、図5(e)に示すように、シリコン酸化膜の全面堆積、及び、RIE等を利用したシリコン酸化膜の選択的エッチングによって、ゲート側壁14の側面を覆うゲート側壁20を形成する。引き続き、ゲート側壁20を含むゲート電極構造と自己整合的にイオ

3

ン注入を行い、更に、そのイオンの活性化熱処理を行って、通常のソース・ドレイン領域よりも深いソース・ドレイン領域（ディープSD領域）21を形成する。更に、全面にTiやCo等の金属膜を堆積し、熱処理によってエレベータッドSD領域のシリコンと金属膜とを反応させて金属シリサイド層29を形成し、同図（f）に示す構造を得る。

【0007】図6及び図7は夫々、基板濃度（atoms/cm³）とソース・ドレイン拡散層の接合容量（Farad）及び接合リーク電流（A/μm²）との関係を示すグラフである。なお、接合容量は印加電圧が2ボルトの場合を例示している。これらの図に示されるように、一般にMOSFETの動作速度の高速化の妨げとなる接合容量、及び、MOSFETの消費電流を増大させ、或いは、短チャネル効果を引き起こすMOSFETの接合リーク電流は、基板濃度が増加するに従って夫々増加することが知られている。このため、基板濃度を下げることで、特にソース・ドレイン拡散層の近傍の基板濃度を下げることが、MOSFETの特性の向上に不可欠である。この基板濃度を下げるために前記ディープSD領域21が形成される。

【0008】図8は、上記従来の半導体装置の製造方法において採用される各イオン注入によるイオン濃度プロファイルを示している。図中グラフ①はAsのポケットイオン注入によるイオン濃度プロファイルを示し、グラフ②～⑥は、加速エネルギーを0.5keV～4keVと様々に変えて行うディープSD領域形成のためのBイオン注入によるイオン濃度プロファイルを示している。また、直線⑦でSDエクステンション領域の深さ位置を示した。ポケットイオン注入は、SDエクステンション領域の拡がりをキャンセルするために、導電型が異なる不純物イオンであるAsイオンの注入として行われ、イオンの加速エネルギーとしては、SDエクステンション領域の深さ位置でイオン濃度が最大になるような加速エネルギーが選定される。このAsイオンは、SDエクステンション領域よりも深い基板位置で図示したような右下がりの濃度プロファイルを示す。同図において、Asの濃度分布を示すグラフ①と、Bの濃度分布を示す各グラフ②～⑥とが交差する位置で、双方のイオン注入による導電度がキャンセルされる。つまり、基板のこの交点以下の深さ部分では、ポケットイオン注入によって基板濃度が上昇する。同図に示されるように、高い加速エネルギーを利用して、より深いディープSD領域を形成することで、ポケットイオン注入による基板濃度の上昇が回避できる。

【0009】

【発明が解決しようとする課題】上記のように、MOSFET近傍の基板濃度を下げて接合容量及び接合リーク電流を低減するためには、ディープSD領域21を形成するためのイオン注入における加速エネルギーを出来る

(3)

特開2003-31798

4

だけ高くして、基板内におけるディープSD領域21の深さ位置をより深くすることが有効である。

【0010】しかし、単にディープSD領域21形成のためのイオン注入における加速エネルギーを高めることは、ディープSD領域21内において1E19cm⁻²以上の不純物濃度を有する部分の深さ位置が深くなることに加え、大きな加速エネルギーによってシリコン基板内の結晶欠陥を増加させるという問題がある。

【0011】また、上記従来の半導体装置の製造方法では、ディープSD領域21の形成後に行う活性化熱処理によって、SDエクステンション領域15の不純物が活性化してゲート電極13下に拡散するという問題がある。ここで、SDエクステンション領域15の拡がりを抑えるために、ディープSD領域21の活性化熱処理を短時間で終了させると、ディープSD領域21について十分な深さが得られない。この場合には、金属シリサイド層からの供給電流がディープSD領域21の底面を突き抜けるスパイク現象が発生するという新たな問題が発生する。つまり、この活性化熱処理では、SDエクステンション領域15の拡がりの抑制と、ディープSD領域21のための十分な深さの確保とが、いわゆるトレードオフの関係にある。

【0012】本発明は、上記に鑑み、SDエクステンション領域の拡がりの抑制と、ディープSD領域の十分な深さの確保とを両立させること、及び、MOSFETの近傍における半導体基板の不純物濃度を低減することによって接合容量及び接合リーク電流が低減できる半導体装置の製造方法を提供し、もって、短チャネル効果が抑制され、且つ、高速動作が可能なMOSFETを有する半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体装置の製造方法は、MOSFETを有する半導体装置の製造方法において、ゲート側壁を有するゲート電極を形成する第1の工程と、前記ゲート電極をマスクとしてイオン注入し、ディープソース・ドレイン領域（ディープSD領域）を形成する第2の工程と、前記ゲート電極をマスクとしてイオン注入し、前記ディープSD領域よりも浅いソース・ドレイン領域（SD領域）を形成する第3の工程と、前記ゲート電極のゲート側壁を除去する第4の工程と、前記ゲート側壁を除去したゲート電極をマスクとしてイオン注入し、前記SD領域よりも浅いソース・ドレインエクステンション領域（SDエクステンション領域）を形成する第5の工程と、前記SDエクステンション領域の端部にイオン注入し、ポケット領域を形成する第6の工程と、前記ゲート側壁を除去したゲート電極に再びゲート側壁を形成する第7の工程とを順次に備えることを特徴とする。

【0014】本発明に係る半導体装置の製造方法によると、ディープSD領域形成のためのイオン注入を、SD

(4)

特開2003-31798

5

6

領域や、エクステンションSD領域、ポケット領域形成のためのイオン注入に先立って行うことにより、ディープSD領域形成のためのイオン注入における注入エネルギーを高くしなくとも、より深い位置へのイオン注入が可能となるため、SDエクステンション領域の拡がりの抑制と、ディープSD領域の十分な深さの確保とを両立させることが容易になる。また、MOSFETの近傍における半導体基板の不純物濃度を低減することが可能になり、接合容量及び接合リーク電流が低減できる。

【0015】本発明に係る半導体装置の製造方法の好ましい態様では、前記第ディープSD領域を形成するイオン注入工程におけるイオン注入角度を、前記半導体基板の配向面の方位と整合させ、これによりチャネリングを発生させて前記ディープSD領域を形成する。掛かる構成と、SD領域や、エクステンションSD領域、ポケット領域形成のためのイオン注入に先立ってディープSD領域形成のためのイオン注入を行う構成とを併せて採用することによって、ディープSD領域形成のためのチャネリングイオン注入において特に深い位置へのイオン注入が可能となり、良好なテール形状が得られる。つまり、ディープSD領域の底部付近において、基板の深さ方向に見てなだらかな勾配を有する不純物濃度プロファイルが得られる。また、イオン注入に起因する基板の結晶欠陥も低減できる。チャネリングイオン注入では、I_n及びAs⁻イオンの採用が、特に深い位置へのイオン注入のために有効である。

【0016】前記第ディープSD領域を形成するイオン注入工程は、注入される基板位置に酸化膜等の絶縁膜が形成されていない状態、注入される基板位置に対してまだ高濃度のイオン注入が成されていない状態、及び、基板がアモルファス化していない状態で行うことが好ましい。この場合、注入されるイオンについて、横方向の拡がりが抑えられると共に、加速エネルギーをさほど高くすることなく大きな注入深度が得られる。ここで、「最初の高濃度のイオン注入」とは、ウェル形成のため等の薄い濃度のイオン注入を除けば最初のイオン注入であることをいう。

【0017】また、前記第ディープSD領域を形成するイオン注入工程が基板をアモルファス化するおそれがある場合には、該イオン注入は基板温度を零下100℃以下にして行うことが好ましい。このようにすると、基板のアモルファス化に伴って導入される欠陥が抑制できる。

【0018】本発明は、更に、MOSFETを有する半導体装置において、半導体基板上に選択的に形成された単一絶縁膜から成るゲート側壁を有するゲート電極と、前記半導体基板の前記ゲート電極の両側に形成されたソース・ドレインとを有し、前記ソース・ドレインは、ソース・ドレイン領域と、該ソース・ドレイン領域から基板面と平行な方向に延長され且つ該ソース・ドレイン領

域よりも浅いエクステンションソース・ドレイン領域と、該エクステンションソース・ドレイン領域の側面に形成されたポケット領域と、前記ソース・ドレイン領域よりも深いディープソース・ドレイン領域とを有し、前記ディープソース・ドレイン領域は、基板面と平行な方向に前記ゲート側壁から離れた位置に配設されることを特徴とする半導体装置を提供する。

【0019】本発明の半導体装置は、上記本発明の半導体装置の製造方法によって製造でき、ゲート電極が単一絶縁膜から成るゲート側壁を有する構成により、このゲート電極と自己整合的に形成されるソース・ドレインの各領域についてより高い寸法精度による形成が可能となる。

【0020】

【発明の実施の形態】以下、図面を参照し本発明の好適な実施形態例に基づいて本発明を更に詳細に説明する。図1(a)～(c)並びに図2(d)及び(e)は、本発明の一実施形態例に係る半導体装置の製造工程を順次に示す半導体装置の断面図である。なお、これらの図では、pMOSFETの形成領域を例として示している。また、その工程を図3にフローチャートとして示している。

【0021】まず、図1(a)に示すように、シリコン基板上に形成した素子分離溝内に酸化膜を埋め込み、素子分離領域22を形成し(図3：ステップS1)、この素子分離領域22によって、シリコン基板11を多数のMOS形成領域に区画する。これら各MOS形成領域に夫々、p型不純物イオン及びn型不純物イオンを注入し、p⁺ウェル(図示せず)及びn⁺ウェル23を形成する(ステップS2)。n型不純物は、P(リン)を使用し、加速エネルギーとして100～150keV、ドーズ量として $2 \times 10^{13} \text{ cm}^{-2}$ 程度を採用する。また、p型不純物は、B(ボロン)を使用し、加速エネルギーとして100～150keV、ドーズ量として $2 \times 10^{13} \text{ cm}^{-2}$ 程度を採用する。

【0022】各MOS形成領域に、CVD法及びフォトリソグラフィ法を利用して20Åの膜厚のゲート酸化膜12を形成する(ステップS3)。引き続き、CVD法によって、1000Å～2000Åの膜厚のポリシリコン層を全面に堆積し、これを0.1μmルール of 微細パターンニングによってパターンニングして、ゲート長が0.1μm程度のゲート電極13を形成する(ステップS4)。更に、CVD法によって800Åの膜厚のシリコン酸化膜を堆積し、これをエッチバックしゲート電極13のための側壁(サイドウォール)14とする(ステップS5)。これによって、図1(a)に示す構造を得る。上記工程は、従来から知られている公知の工程である。

【0023】引き続き、図1(b)に示すように、ディープSD領域24形成のためのイオン注入を行う(ステ

7

ップS6)。このイオン注入では、側壁14を含むゲート電極構造をマスクとして自己整合的にイオンを注入し、また、基板11の配向面(110)と整合した角度(0°) $\pm 0.5^\circ$ の角度での注入を行う。本明細書では、基板の配向面と整合したイオン注入をチャネリング注入と呼び、これによって形成されるディープSD領域24の底部をチャネリングテールと呼ぶ。このチャネリング注入では、pMOSFETではInイオンを、nMOSFETではAs又はSbイオンを注入する。加速エネルギーは、pMOSFETの場合はInで150keV、nMOSFETの場合はSbで130keV、Asで80keVである。ドーズ量は、いずれの場合も $2.5 \times 10^{13} \text{ cm}^{-2}$ である。チャネリング注入に際して、pMOSFET形成領域への注入時には、nMOSFET形成領域をレジスト膜によってマスクし、また、nMOSFET形成領域への注入時には、pMOSFET形成領域をレジスト膜によってマスクして行う。このチャネリング注入によって、ディープSD領域24のピーク濃度は、100nmの深さ位置にあり、その濃度は約 $1 \times 10^{17} \text{ atoms/cm}^3$ である。

【0024】本実施形態例におけるチャネリング注入では、シリコン基板11の配向面とイオン注入角度とを正確に整合させることの他に、シリコン基板11内には高濃度のイオン注入が既に成されていないこと、注入する基板部分の表面に酸化膜が形成されていないこと、及び、シリコン基板11がアモルファス化していないことが好ましい。このような注入方法を採用すると、縦方向に特に選択的なイオン注入が行われるため、得られるディープSD領域24において良好なチャネリングテールが形成される。つまり、ディープSD領域24の底部付近に形成される不純物イオン濃度のプロファイルについて、よりなだらかな勾配の濃度分布が得られる。このため、その部分における電界強度が小さく、且つ、導入による結晶欠陥が小さなチャネリングテールが得られる。なお、このときのチャネリング注入によって、シリコン基板11がアモルファス化するおそれがあるときには、基板温度を零下100℃以下にして行う。これによって、アモルファス化に伴って導入される欠陥が抑制できる。

【0025】次いで、図1(c)に示すように、同様に電極構造をマスクとする通常のイオン注入により、pMOSFETではB又はBF₂イオンを注入し、nMOSFETではAs又はSbイオンを注入して、通常のソース・ドレイン領域25を形成する(ステップS7)。注入角度は 0° である。ソース・ドレイン領域25は、側壁14の下部に若干イオンが回り込むことによって、ディープSD領域24よりもゲート電極13側に延びて形成され、また、ディープSD領域24よりも浅い位置に形成される。注入エネルギーは、pMOSFETの場合には、Bで2~3keV、BF₂で10~15keVで

(5)

特開2003-31798

8

あり、nMOSFETの場合には、Asは20~40keV、Pで10~20keVである。いずれの場合にも、ドーズ量は、 $1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ である。SD領域の不純物濃度は、ピーク値で約 $1 \times 10^{21} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ であり、また、100nmの深さ位置で約 $1 \times 10^{17} \text{ atoms/cm}^3$ である。

【0026】次に、選択的エッチングを利用して、図2(d)に示すように、ゲート電極13の側壁の側壁14を除去する(ステップS8)。更に、このゲート電極13をマスクとして自己整合的にイオン注入を行って、SDエクステンション領域26を形成する(ステップS9)。注入角度は 0° である。SDエクステンション領域26は、ソース・ドレイン領域25よりも浅く且つ広い領域を有する。SDエクステンション領域26形成のための注入エネルギーは、pMOSFETの場合は、Bでは0.2~1keV、BF₂では2~5keVであり、nMOSFETの場合は、Asで1~4keVである。いずれの場合も、ドーズ量は $5 \times 10^{14} \sim 1 \times 10^{15}$ である。

【0027】更に、図2(e)に示すように、pMOSFET形成領域にはn型不純物を、nMOSFET形成領域にはp型不純物を注入するポケットイオン注入を行って、SDエクステンション領域26の周囲にポケット領域27を形成する(ステップS10)。注入エネルギーは、pMOSFETへのAsイオンの注入では40~60keVを、nMOSFETへのBイオンの注入では10keVを採用する。ドーズ量は、いずれの場合も $1 \sim 2 \times 10^{13}$ である。なお、pMOSFETでは、Asに代えてSbを注入してもよく、また、nMOSFETでは、Bに代えてIn又はBF₂を採用してもよい。引き続き、ソース・ドレイン領域25及びディープSD領域24を活性化するための熱処理を行う(ステップS11)。

【0028】ポケット領域27の不純物濃度は、100nmの深さ位置で $5 \times 10^{16} \text{ atoms/cm}^3$ である。ポケット領域27は、SDエクステンション領域26の拡大をキャンセルすることで、短チャネル効果を抑制する。また、ディープSD領域24のチャネリングテールにおける不純物濃度プロファイルの濃度勾配を緩和する。その後、再び、ゲート電極13の側壁に第2のサイドウォール28を形成し(ステップS12)、図2(e)に示した構造を得る。

【0029】その後は、従来技術と同様な工程により、シリサイド層の形成、複数の層間絶縁層及び配線層の形成、及び、パッシベーション層の形成等により、MOSデバイスとして構成される半導体装置が形成される。なお、例えば図2(e)において、各領域23、24、25、26、27は、実際にはこのように明確な境界線を持つものではないが、それぞれのピーク濃度で比較すると図示したような深さ関係で表されるものである。

(6)

特開2003-31798

10

9

【0030】上記ディープSD領域24のチャネリングテールにおけるなだらかな濃度勾配は、基板濃度の高濃度化、及び、ソース・ドレイン領域25の接合深さの縮小に起因する接合部の電界強度の増加を抑制するのに特に有効である。このようななだらかな濃度勾配は、特にIn及びAsのチャネリング注入で顕著である。チャネリングテールは、横方向に比して縦方向に特に選択的な注入が可能であり、不純物が横方向に拡散して生ずる不具合が解消できる。

【0031】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体装置の製造方法は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したのも、本発明の範囲に含まれる。

【0032】

【発明の効果】以上、説明したように、本発明の半導体装置の製造方法によると、SDエクステンション領域の形成前にディープSD領域を形成したことにより、SDエクステンションの拡張を伴うことなく、ディープSD領域の活性化熱処理を行うことが出来るので、短チャネル効果が有効に抑制され且つ高速動作が可能なMOSFETの形成が可能である。

【図面の簡単な説明】

【図1】本発明の一実施形態例に係る半導体装置の製造方法を順次に示す半導体装置の断面図。

【図2】図1に続く工程を示す半導体装置の断面図。

【図3】一実施形態例の製造方法の工程を示すフローチャート。

【図4】従来の半導体装置の製造方法を順次に示す半導体装置の断面図。

【図5】図4に続く工程を示す半導体装置の断面図。

【図6】基板濃度と接合容量の関係を示すグラフ。

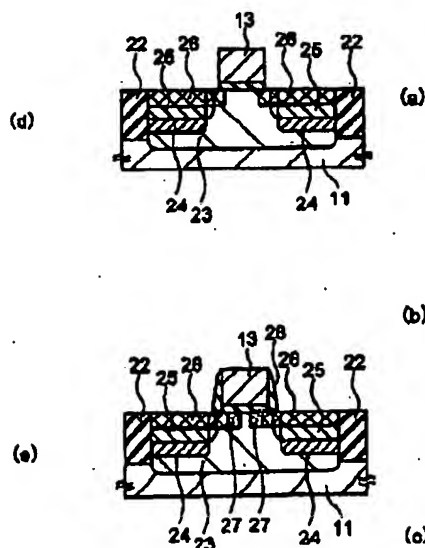
【図7】基板濃度と接合リーク電流の関係を示すグラフ。

【図8】イオン注入の際の加速エネルギーに依存するイオン濃度プロファイル。

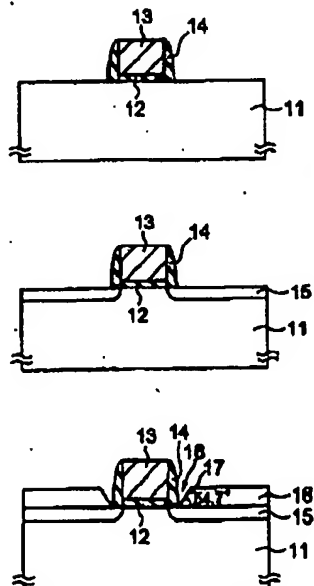
【符号の説明】

- 11：シリコン基板
- 12：ゲート絶縁膜
- 13：ゲート電極
- 14：サイドウォール
- 15：SDエクステンション領域
- 16：エレベーターSD領域
- 17：ファセット
- 18：隙間
- 19：ポケット領域
- 20：ゲート側壁
- 21：ディープSD領域
- 22：素子分離領域
- 23：n-ウエル
- 24：ディープSD領域
- 25：ソース・ドレイン領域
- 26：SDエクステンション領域
- 27：ポケット領域
- 28：サイドウォール
- 29：金属シリサイド層

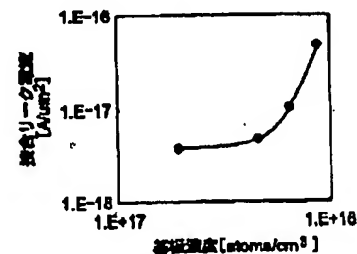
【図2】



【図4】



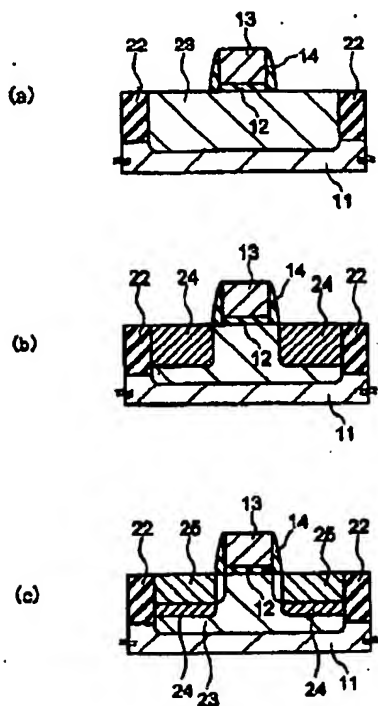
【図7】



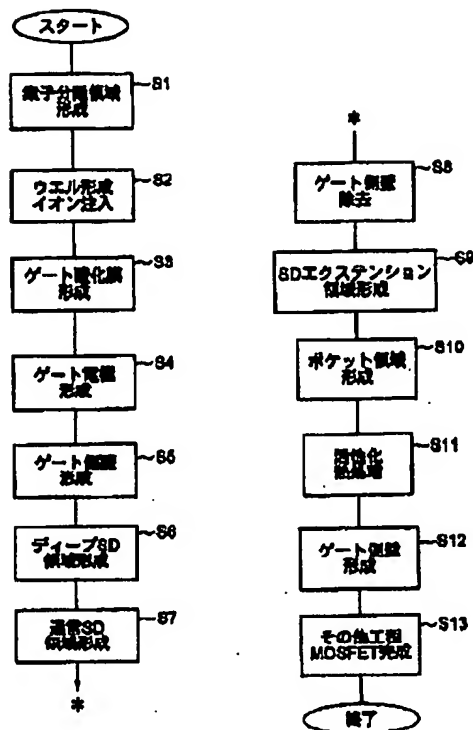
(7)

特開2003-31798

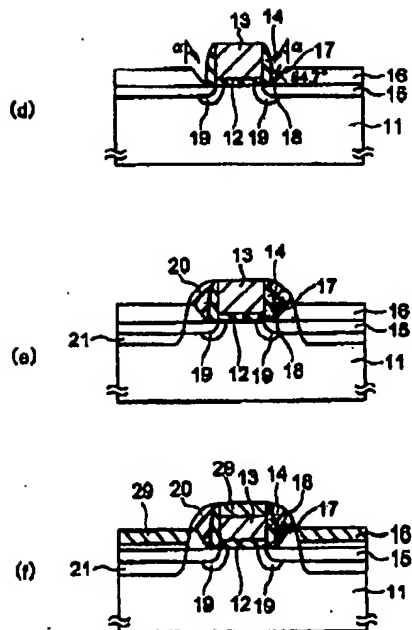
【図1】



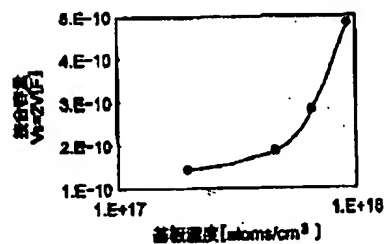
【図3】



【図5】



【図6】

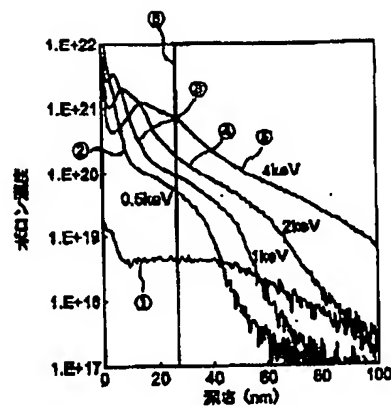


(8)

特開2003-31798

【図8】

BEST AVAILABLE COPY



フロントページの続き

Fターム(参考) 5F140 AA01 AA12 AA21 AB03 BA01
 BE10 BF01 BF04 BG08 BG12
 BG28 BG52 BG53 BG54 BH13
 BH14 BH21 BH35 BH49 BK03
 BK13 BK14 BK21 BK22 BK38
 CB04 CB08